1.En cuanto a los riesgos por dependencia de datos en las arquitecturas superescalares...

Trieu-ne una:

a. Los riesgos WAW y WAR son riesgos por dependencia de datos que se pueden solucionar por adelantamiento

b. Los riesgos ~~RAR son riesgos por dependencia de datos que se pueden solucionar utilizando renombrado~~

c. Los riesgos RAW (lectura después de escritura) son los únicos riesgos que no se pueden solucionar por renombrado

d. Los riesgos WAW y WAR son riesgos por dependencia de datos ~~que no~~ se pueden solucionar utilizando renombrado

2.En un esquema de predicción explícita, los bits de predicción:

Trieu-ne una:

a. Solo se pueden almacenar de forma acoplada a una estructura existente (como la BTB)

b. Solo se pueden almacenar de forma independiente en una estructura específica que almacene ~~únicamente~~ la historia de los saltos.

c. Se pueden almacenar de forma acoplada a una estructura existente (como la BTB) o de forma independiente en una estructura específica que ~~almacene únicamente~~ la historia de los saltos.

d. Si la predicción ~~es explícita, no se utilizan bits de predicción~~

3.El mejor tipo de benchmark para evaluar un sistema es:

Trieu-ne una:

a. Depende de lo que se desee evaluar.

b. Los benchmarks sintéticos porque son independientes de las aplicaciones.

c. Los kernels porque permiten evaluar aspectos concretos.

d. Las aplicaciones reales porque evalúan la realidad.

4.¿Qué diferencias existen entre las estaciones de reserva y la ventana de instrucciones?

Trieu-ne una:

a. Las instrucciones se cargan en la ventana de instrucciones una vez decodificadas y se utiliza un bit para indicar si un operando está disponible. En la estación de reserva las instrucciones se cargan una vez finalizadas

b.

La ventana de instrucciones almacena las instrucciones ~~pendientes de ejecutar~~ y las estaciones de reserva las ejecutadas pero no finalizadas

~~c. Las instrucciones que se encuentran en la estación de reserva han sido enviadas a ejecución, mientras que las instrucciones que se encuentran en la ventana de instrucciones aún no han sido enviadas a ejecuación~~

d. Las instrucciones que se encuentran en la estación de reserva ~~han sido emitidas mientras~~ que las instrucciones que se encuentran en la ventana de instrucciones aún no han sido emitidas

5.El algoritmo de renombrado se utiliza en las arquitecturas superescalares para:

Trieu-ne una:

a~~. Para nada. En superescalares no se usa ese algoritmo.~~

b. Para evitar los efectos de los **~~riesgos~~** WAR y WAW dependencias

c. Es un algoritmo que se utilizar para permitir la ejecución desordenada ya que después de la ejecución se encarga de reordenar las instrucciones.

d. Poder ejecutar dos instrucciones al mismo tiempo

6.El buffer de reorden en una arquitectura superescalar permite:

Trieu-ne una:

a. El buffer de reorden es una estructura que se utiliza para la predicción de saltos y no tiene nada que ver con el orden de ejecución de las instrucciones.

b. Completar (sacar del cauce) las instrucciones en un orden diferente al orden de programa.

c. La ejecución de las instrucciones fuera de orden.

d. El buffer de reorden no se utiliza en las arquitecturas superescalares.

7.Suponiendo que los ciclos de latencia de inicio para una máquina vectorial son los siguientes:

* Cargas 7
* Sumas 3
* Desplazamientos 4

Y que queremos realizar una operación de carga, suma y desplazamiento con **encadenamiento de cauce** para un vector de 10 componentes, ¿Cúantos ciclos tardaríamos?

Trieu-ne una:

a. ~~7+3+4+5~~

b. 7+3+4+**10**+~~3~~\*10

c. 7+3+4+~~6~~+10

d. ~~7+3+4+~~**~~10~~**

8.Una ventana de instrucciones alineada es:

Trieu-ne una:

a. U~~na ventana de instrucciones que carga instrucciones conforme se va vaciando (sin esperar a vaciarse del todo)~~

b. ~~Una ventana de instrucciones que tiene una linea de separación entre los códigos de instrucción~~

c. Una ventana de instrucciones que carga instrucciones cuando está completamente vacía

d. ~~Una ventana de instrucciones extraterrestre~~

9.¿Cuál de las siguientes afirmaciones es correcta para la gestión de los riesgos de control?

Trieu-ne una:

a. El bloqueo del procesamiento del salto es la estrategia más común en los procesadores superescalares

b. El procesamiento especulativo de los saltos es la estrategia más común en los procesadores superescalares

c~~. La gestión del salto retardado es la estrategia más común en los procesadores superescalares~~

d. La gestión de múltiples caminos es la estrategia más común en los procesadores superescalares

10.Una arquitectura vectorial es:

Trieu-ne una:

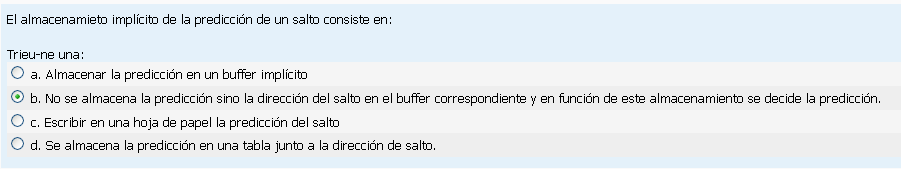
a. ~~Todas las respuestas son correctas~~

b. Una arquitectura donde cada operación vectorial codifica gran cantidad de cálculo, reduciendo el número de instrucciones y evitando riesgos de control

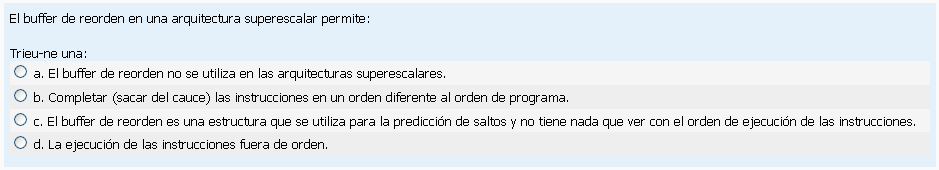
c. Una arquitectura donde el cálculo de los componentes del vector se realiza de forma ~~independiente~~ obteniendo buenos rendimientos.

d.

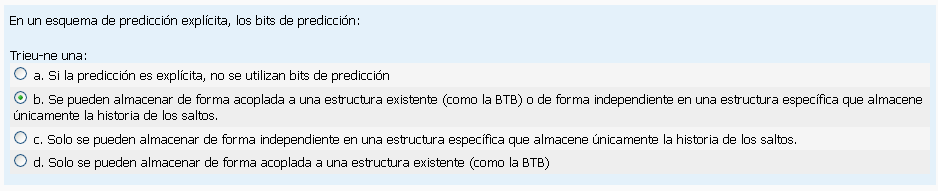
Una arquitectura orientada al procesamiento de vectores (suma de vectores, productos escalares, etc.).



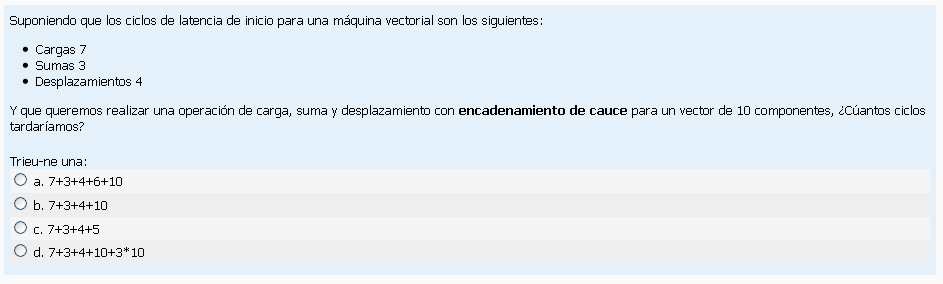
.



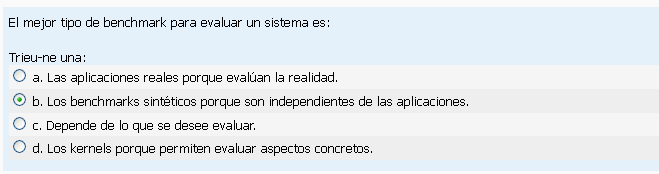
.



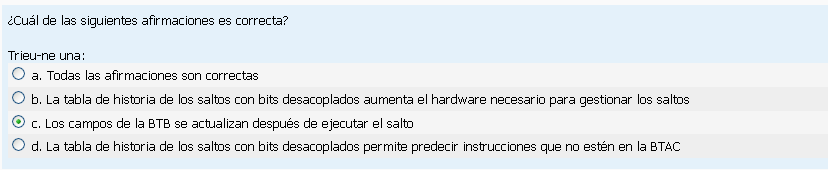
.



.



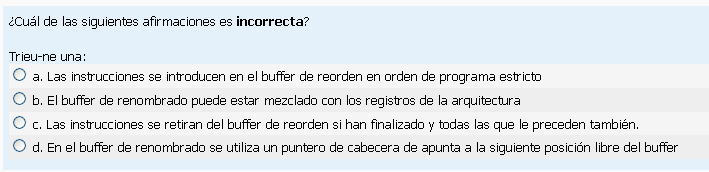
.



.

si

si



.

si

si

si